

[特許]1990-410668 (02.12.14)

出願 (1) (02-410668) (02.12.14) 記号 (9013779) 出願種別(01)新法
公開 (04-216400) (04.08.06) 公開基準日 (02.12.14) 国内優先 (0)
公告 () (12.08.14) 優先 () 他 国
審判 () () () 担当 (5L00-8125) (江口 能弘)
登録 (3076606) (12.06.09) 異議 (0) 請求項数 (2) 出願料金(14,000)
公決 (起) (担) 文献 (1) 新規性 (0) 菌寄託 (0) 公害 ()
査定 (1) (起12.05.16) (担8125) 前置 () 解除 () 公序・要約 ()
(発12.05.30) (官) 審査・評価請求 (1-) 未請求(0) 自動起案 ()
最終 (A01) (12.06.09) 公開準備 (1) 早期審査 ()
変更先 () () () 審決 () ()
原出願 () () () 種別 ()
期間延長 () 最新起案日 (12.05.16)
公表 () () 翻訳提出 () 国際出願 ()
再公表 () 国際公開 ()
公開IPC5 G11C 29/00 303BF5 指定分類IPC G11C 29/
公告IPC7 G11C 29/00 671MFN
名称 半導体記憶装置およびその検査方法
出願人 代表 () 種(2) コード(000005223) 国(14) 富士通株式会社 * 2 1 1 神
奈川県川崎市中原区上小田中4丁目1番1号
代理人 種(1) コード(100087147) 長谷川 文廣
種(1) コード() 青柳 稔
中間 (A63) 特許願 02.12.15 (14,000) 完 (A96-1) 職権訂正03.03.04 ()
記録 (A62-1) 審査請求09.02.24 (89,700) 完 (A96-1) 職権訂正09.03.25 ()
(A971-007) 検索報告11.05.13 () (A13-1) 拒絶理由11.06.15(8125-00)
(A53) 意見書 11.08.16 () 完 (A52-3) 補正書 11.08.16 () 完
(A74-22) 代理受任11.08.16 () 完 (A96-7) 認定情報11.08.26 ()
(A96-7) 認定情報11.08.26 () (A13-1) 拒絶理由12.01.11(8125-02)
(A53) 意見書 12.03.13 () 完 (A52-3) 補正書 12.03.13 () 完
(A01) 特許査定12.05.30(8125-) (A61) 登録納付12.06.05 ()

新出願

国内優先(先)

国内優先(後)

【書類名】 特許願

【整理番号】 9013779

【提出日】 平成 2年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体記憶装置およびその検査方法

【請求項の数】 2

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 1 0 1 5 番地
富士通株式会社内

【氏名】 田口 眞男

【特許出願人】

【識別番号】 000005223

【郵便番号】 211

【住所又は居所】 神奈川県川崎市中原区上小田中 1 0 1 5 番地

【氏名又は名称】 富士通株式会社

【代表者】 関澤 義

【代理人】

【識別番号】 100070172

【郵便番号】 101

【住所又は居所】 東京都千代田区岩本町 3 丁目 4 番 5 号第一東ビル

【弁理士】

【氏名又は名称】 青柳 稔

【手数料の表示】

【納付方法】 特許印紙

【納付金額】 14,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001243

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその検査方法

【特許請求の範囲】

【請求項1】 複数のDRAMセルアレー（CAR）のうち一方のアレーのビット線（BL，BLX）をスイッチ（SW）で選択して共通のセンスアンプ（SA）へ接続し、読出しを行なうシェアドセンスアンプ構成の半導体記憶装置において、

テストモードでは前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続する手段を備えることを特徴とする半導体記憶装置。

【請求項2】 複数のDRAMセルアレーのうち一方のアレーのビット線をスイッチで選択して共通のセンスアンプへ接続し、読出しを行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法において、

テストモードでは前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続し、選択セルの負荷となるビット線の容量を複数倍にすることを特徴とする半導体記憶装置の検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体記憶装置の検査方法及びそれを可能にする半導体記憶装置に関する。

【0002】

半導体記憶装置の高集積化が進むにつれ、製造したメモリチップの検査に要する時間は爆発的に増大する傾向になる。この理由はビット数の増大に対してメモリの動作速度はそれほど高速化されていないため、「ビット当たりの動作時間×ビット数×検査パターンで決まる係数÷並列同時検査ビット数」で決まる検査時間が増大するためである。このためチップに占める検査のコストが増大する傾向があり、問題になっている。

【0003】

検査で摘発、排除するのは明確に不良を示すビットであるが、これ以外にも除去しなければならず更に時間がかかるのは、条件によって不良になったり良になったりする、動作が不安定なビットである。これは除外する検査は、1ビット当たりに十分な時間をかけられない状況では極めて難しい。本発明はこのような不安定なビットの検出と除外を高速に行う半導体記憶装置とその検査方法に係るものである。

【0004】

【従来の技術】

従来、DRAM（ダイナミックRAM）の検査において不安定ビットを検出する方法は、何らかの方法でメモリセルの電荷量を減少させ、これによってセルの出力電圧を規定の値よりも強制的に低くする方法である。強制的に低くすることで、セルのキャパシタ容量が何らかの異常によって少いセル、pn接合やトランジスタがリークしやすく電荷が早く減少してしまうセル、センスアンプが何らかの異常で感度を悪くしている場合に起こるエラーをより起こしやすい状況にし、通常の検査サイクルで、良となってしまうものを正しく不良として検出する。具体的にはDRAMセルのセルプレート（蓄積キャパシタの対向電極板）の電圧を書き込み時と読出時で異なった値にし、これによって蓄積された電荷量を変調する。

【0005】

例えばデータ“1”を書き込み、あとで読み出す場合を考えると、書き込み時に対して読出時のセルプレート電圧を低くすれば、蓄積電荷量は見掛け上少なくなる。こうしてデータ“1”の出力電圧を強制的に下げることができる。具体例で説明すると、セルプレートの電圧 V_{CP} を2.5Vにし、ビット線電圧 V_{BL} を5Vにして書込みを行なうと、セル電圧 $V_C = V_{BL} - V_{CP} = 2.5V$ 、蓄積された電荷 Q はこれにセル容量 C を乗じたものである。かゝるセルを $V_{CP} = 1.5V$ にして読出すと $V_{BL} = V_{CP} + V_C = 4V$ になり、 $V_{CP} = 2.5V$ で読出す通常読出しの $V_{BL} = 5V$ に比べて1Vの低下になる。

【0006】

この方法により、たとえば電荷保持特性が悪いセルでは“1”レベル書き込み後セル内で電荷量が下がってくるが、セル出力電圧を強制的に下げることにより

この“1”レベルの低下を顕著にすることができ、不安定セルを不良セルとして検出できる。

【0007】

このようにセルプレート電圧を読み出し時に下げる方法で“1”レベルの不安定なセルは検出できるが、“0”レベルの不安定なセルに対しては逆にセルプレート電圧を書き込み時に対して読出時に高くする必要がある。一般的にセル内のpn接合リークが原因の場合は“1”レベルの低下だけが起こり“0”レベルの変調はないので、蓄積電極とキャパシタのことだけを考えればセルプレート電圧を読出時に下げる方法だけ行えば良い。しかし、ビット線とワード線が短絡しかっているようなセルではむしろ“0”レベルの変調によって不良ビットとなる。つまり選択セルが“0”を保持しており、これを読み出したときにワード線とビット線が短絡していると、ビット線電圧はワード線を通じて高レベル側に引かれ、あたかも“1”を読んだように判定されるために不良となる。

【0008】

つまり、“1”に対しても“0”に対してもセルのリーク（簡単に判別できる明らかな短絡故障ではなく、高抵抗を介して電流リークがある不安定動作することを指す）のないことを保障するには、セルプレート電圧の変調を“1”に対してと“0”に対しての両方、従って二度検査をしなければならない。さもなければ、たとえばビット線とワード線間のリークが決して起こらない安全な製造プロセスを用いなければならず、このような場合一般的にメモリセルの寸法を大きくしてでも製造が容易なものにしなければならず、結果的にチップ寸法が大きくなって製造コストが増す。もし検査を二度やれば検査コストが増す。

【0009】

【発明が解決しようとする課題】

従来の不安定動作ビット検出方法（スクリーニングと称する）では、上記のようにデータ“1”に対する不安定性（蓄積電極およびキャパシタ関係のリーク）とデータ“0”に対する不安定性（ビット線とワード線間のリーク）はそれぞれセルの出力電圧を小さくする特殊な動作を読出と書込が交互に行われる「マーチ」などのデータパターンでは各サイクルごとにセルプレート電圧を変化させねば

ならない。ところがセルプレートの電圧変化は最小動作サイクル時間に追従するほど高速には変化できない（セルプレート容量が大きいため）。このため検査時間が長くかかることが問題だった。

【0010】

本発明はセンスアンプの付属回路の駆動法の工夫により、セルプレート電圧を変化させることなくデータの“0”と“1”の両方に対して同時にセル出力電圧を強制的に減少させ、検査が高速に行われるようにして検査時間の倍増を防ぐことを目的とするものである。

【0011】

【課題を解決するための手段】

図1は、本発明の原理図である。ここでSAはセンスアンプであり、SW1, SW2, SW3, SW4はスイッチである。SW1とSW2は同時に駆動され、SW3とSW4は同時に駆動される。スイッチの切替えにより、センスアンプSAはセルアレーのメモリセルがビットセンスアンプに与える、ビット線BL1, BL1X上の差電圧もしくはBL2, BL2X上の差電圧のいずれかを増幅する。通常のメモリ動作では、スイッチSW1, SW2がオンのときはスイッチSW3, SW4はオフであり、スイッチSW1, SW2がオフのときはスイッチSW3, SW4はオンになる関係にあるため、一つのセンスアンプが二つのビット線組に利用できる。このためセンスアンプの数を減らすことができ、チップ寸法を小さくできるメリットがある。これはいわゆるシェアドセンスアンプ方式である。本発明では、この通常動作でのスイッチ動作に対して、スクリーニングを行うテストモードではスイッチSW1, SW2, SW3, SW4のすべてを同時に導通させる。図1(b)はこの様子を示す。なおセル選択は片方のセルアレーに対してだけである。

【0012】

【作用】

シェアドセンスアンプ方式のメモリで、センスアンプの両側のセルアレーCAR1, CAR2のビット線BL1とBL1X, BL2とBL2Xに対するスイッチSW1とSW2, SW3とSW4を同時にオンにすると、ビット線容量が通常

動作したときの2倍になり、セル出力電圧が減少する。

【0013】

メモリセルの蓄積容量を C_s 、ビット線容量を C_b 、センスアンプ入力容量を C_a 、とすると、通常動作時にはセルがビット線に与える出力電圧 ΔV は

$$\Delta V = \{ C_s / (C_b + C_a + C_s) \} \times (V_d - V_p)$$

与えられる。ここで V_d は記憶データに対応したセル内の蓄積電圧であり、 V_p はビット線のプリチャージ電圧（読出時にビット線がフローティング状態にあるときの電圧）である。本発明のテストモードでは、シェアドセンスアンプの切替えスイッチをすべす導通させるため C_b は通常動作時の倍の値になり、出力電圧 ΔV_{test} は、

【0014】

$$\Delta V_{test} = \{ C_s / (2C_b + C_a + C_s) \} \times (V_d - V_p)$$

になる。 C_b / C_s は通常Cレシオと呼ばれ、10前後の値をとる。仮にここでこの値を10とし、センスアンプ容量を C_b の20%とすると、通常の動作では、

【0015】

$$\Delta V = (1/13) \times (V_d - V_p) = 0.0770 \times (V_d - V_p)$$

であり、テストモードでは

$$\Delta V_{test} = (1/23) \times (V_d - V_p) = 0.0435 \times (V_d - V_p)$$

となってセルの出力電圧を小さくできる。

【0016】

ここで注目すべきは、上記式の中にセル内の蓄積電圧 V_d が入っており、セル内の記憶データの“0”，“1”の両方に対してセル出力電圧を減少できることである。これにより、実動作時に誤動作を起こす可能性が高い、出力信号が微弱なセルまたは感度の悪いセンスアンプを探知することができる。

【0017】

【実施例】

図2に本発明の実施例を示す。ビット線を切り換えるスイッチSW1～SW4にMOSFETを用い、そのゲート電圧をクロックBTで制御してスイッチ作用

させる。図2(a)はクロックBT2の発生回路を示す。クロックBT1の発生回路も同様である。図示のようにクロックBT2の発生回路RAS(ローアドレスタストローブ)クロック発生回路CGEN、DLY、ナンドゲートG1、デコーダDEC、ナンドゲートG2、インバータI2、I3で構成される。またデコーダDECはセルアレーアドレスの各ビットA、B、……が入力するnチャンネルMOSトランジスタQ2、Q3、……、ナンドゲートG1の出力を受けるpチャンネルMOSトランジスタQ1、インバータI1、この出力を受けるpチャンネルMOSトランジスタQ5を備える。また図2(b)でQ_a~Q_dはセンスアンプを構成するMOSトランジスタ、SADLはセンスアンプ駆動線で、センスイネーブル用のクロックφ_s、φ_sXを受けるトランジスタQ_g、Q_hにより一方は電源V_{cc}へ、他方はグランドへ接続される。またCSLはコラム選択線で、ビット線BL、BLXをデータバスDB、DBXへ接続するMOSトランジスタQ_e、Q_fをオン、オフする。メモリセルはトランスファゲート用のMOSトランジスタとキャパシタからなる1トランジスタ1キャパシタ型で、このキャパシタはMOS型ではなく、両電極がポリシリコンの通常タイプ(メタル、誘電体、メタルのタイプ)である。

【0018】

通常のリード/ライトは既知の通りで、セルアレー1のメモリセルをリードするなら、セルアレー1のワード線WLを選択して、プリチャージしておいたビット線へ選択セルを接続し、これでビット線BL1とBL1Xとの間に差を付け、またクロックBT2をLにしてスイッチSW3、SW4を開き、ビット線BL1、BL1Xをセンスアンプへ接続しビット線BL2、BL2Xは切離して、上記差を拡大する。次いでコラム選択線CSLをHレベルにしてトランジスタQ_e、Q_fをオンにし、選択したビット線の電位をデータバスDB、DBXへ伝える。セルアレー2側のメモリセルを読出す場合も同様で、唯、この場合はクロックBT1をLにしてビット線BL1、BL1Xをセンスアンプから切離し、ビット線BL2、BL2Xをセンスアンプへ接続する。

【0019】

テストモード信号STXは通常モードではHレベルで、従ってゲートG₂は開

いており、クロックBT2はデコーダDEC出力に従う。テストモードでは信号STXはLレベルで、従ってナンドゲートG2の出力はデコーダDECの出力が何であってもH、従って信号BT2はHである。クロックBT1発生回路でも同様で、テストモードではクロックBT1をHにする。従ってセンスアンプの両側のスイッチSW1～SW4が閉じ、ビット線長は通常の2倍になる。セル選択（ワード線選択）を行なうのはテストモードでも、両側のセルアレーのうち的一方だけである。これにより前述のようにセル記憶データが“1”でも“0”でも出力電圧 ΔV_{test} が小さくなる。

【0020】

図2(a)の動作を詳細に説明すると、RAS×クロックはチップ外部より与えられるRASバークロックによりクロック発生回路CGENが作ったチップ内クロックで、波形としてはRASバーと同じであり、常時はHレベル、アクセス時にLになる。RASXがHで、しかもHになってから充分時間が経過しておれば、遅延回路DLYの出力はH、従ってナンドゲートG1の出力はLになる。RASXがLになるとナンドゲートG1の出力はHになり、そしてRASXがLからHに戻ると、遅延回路DLYの遅延時間 τ 後にナンドゲートG1の出力はLに戻る。即ちナンドゲートG1の出力がHからLに戻るのは τ だけ遅れる。これはローアドレスのリセット（デコーダDECの解除）を最後に行なうためである。

【0021】

ナンドゲートG1の出力がLであると、pチャネルMOSトランジスタQ1はオン、インバータI1の入力はH、従って出力はL、ラッチ用のpチャネルMOSトランジスタQ5はオンになる。これでデコーダはプリチャージされる。ナンドゲートG1の出力がHになるとQ1はオフ、そしてアドレスによりQ2, Q3, ……が全てオンになると（セルアレー1が選択されると）インバータI1の入力はLになり、出力はH、通常読出しではSTXはHであるからG2の出力はL、BT2はL、従ってスイッチSW3, SW4をオフにする。この図2(a)の回路は、選択セルアレーの反対側のセルアレーのスイッチ（セルアレー1が選択セルアレーなら、スイッチSW3とSW4）を開く機能を持つ。

【0022】

テストモード信号S T Xは、チップにテスト端子を設けて該端子に信号を与えたときLレベルになるようにする、あるいは所謂WCBRモードによるテストモードへのエントリ、または特定のアドレスコードを用いたテストモードへのエントリ手段によりLレベルになるようにする。

【0023】

【発明の効果】

以上説明したように、本発明ではテストモードでビット線容量を強制的に倍増させることでセル出力信号電圧を低下させているので、データの“0”にも“1”にも同時に効果がある。従ってメモリセル内のキャパシタのリークによる不安定動作とビット線とワード線の短絡による不安定動作の検出が同時にできる。また、書込と読出サイクルのそれぞれでセルプレート電圧を変える操作が不要である。

このためテスト時間の短縮ができる。

【図面の簡単な説明】

【図1】

本発明の原理図である。

【図2】

本発明の実施例を示す回路図である。

【符号の説明】

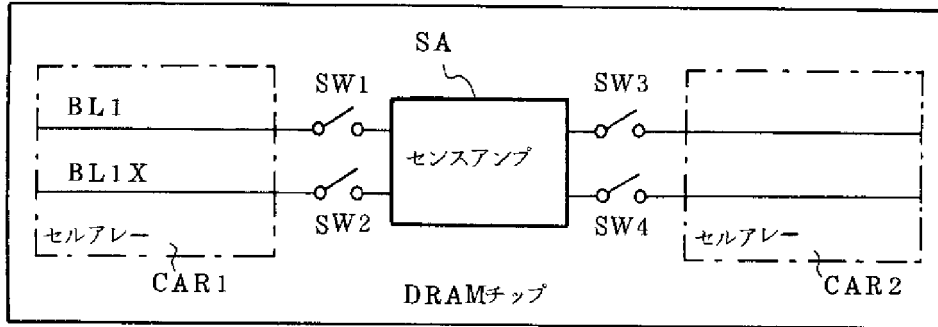
C A R	セルアレー
B L, B L X	ビット線
S W	スイッチ
S A	センスアンプ

【書類名】 図面

【図1】

本発明の原理図

(a)

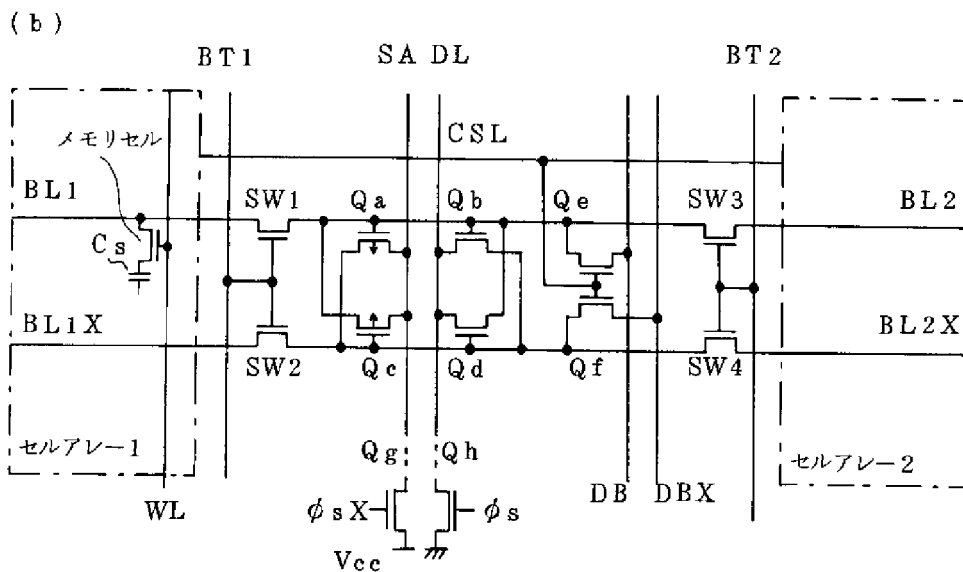
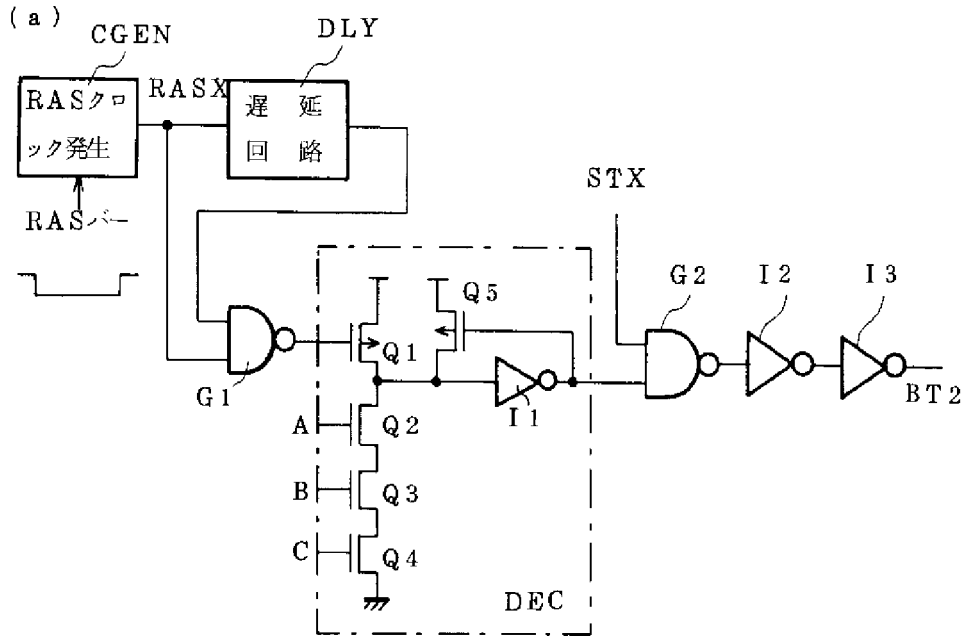


(b)

動作モード		SW1 SW2	SW3 SW4
通常動作 モード	セルアレー1選択	導通	切断
	セルアレー2選択	切断	導通
スクリー ニング	セルアレー1選択	導通	導通
	セルアレー2選択	導通	導通

【図2】

本発明の実施例を示す回路図



【書類名】 要約書

【要約】

【目的】 本発明は半導体記憶装置の検査方法及びそれを可能にする半導体記憶装置に関し、データの1と0の両方に対して同時にセル出力電圧を強制的に減少させて、検査が1回で済むようにすることを目的とする。

【構成】 複数のDRAMセルアレーのビット線の一方をスイッチで選択して共通のセンスアンプへ接続して読出しを行なうシェアドセンスアンプ構成の半導体記憶装置において、テストモードではスイッチの全部（SW1～SW4）をオンにして、共通のセンスアンプSAへ複数のセルアレーのビット線を接続する。これで選択セルの負荷であるビット線の容量が複数倍になり、セル出力電圧が減少して、データ1，0に対する検査が1回で済む。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中1015番地
【氏名又は名称】 富士通株式会社

【代理人】

申請人
【識別番号】 100070172
【住所又は居所】 東京都千代田区岩本町3丁目4番5号 第一東ビル
【氏名又は名称】 青柳 稔

【書類名】 出願審査請求書

【提出日】 平成 9年 2月24日

【あて先】 特許庁長官 殿

【出願の表示】

【出願番号】 平成 2年特許願第410668号

【発明の名称】 半導体記憶装置およびその検査方法

【請求項の数】 2

【請求人】

【出願人との関係】 本人

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代表者】 関澤 義

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 89,700円

【書類名】 職権訂正データ
【訂正書類】 出願審査請求書

<認定情報・付加情報>

【請求人】 申請人
【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社

検索報告書

P 1

平成11年 5月11日

テーマコード 5L106 外注番号 00001

特許出願の番号 平成 2年 特許願 第410668号

指導者 松尾 浩太郎 L062

サチャー 田巻 正彦 K824

検索結果 提示文献数 04

NO	*文献カテゴリー	提示文献	*関連する箇所	本願クレーム番号
1	EX	特開平03-137889号公報	C1, P3, 6, F1	
2	Y	特開昭64-042100号公報	C1, 2, F1, 2	
3	A	特開平01-192098号公報	C1, P3	
4	A	特開平03-154289号公報	C1, P3	

次頁無

*文献カテゴリー

- X: 単独で引用可能な文献
- Y: 組み合わせて引用可能な文献
(組み合わせは添字を用いて
Y1-1、Y1-2等と表示)
- A: 一般技術水準を示す文献
- E: 本願出願後公知の先行技術
(EX、EY等と表示)

*関連する箇所

- P: ページ M: 右欄
 - L: 行 H: 左欄
 - F: 図 U: 上欄
 - D: 段落 S: 下欄
- (P3-P4、P5MU、F3等と表示)

拒絶理由通知書

特許出願の番号 平成 2年 特許願 第410668号
起案日 平成11年 6月 3日
特許庁審査官 江口 能弘 8125 5L00
特許出願人代理人 青柳 稔 殿
適用条文 第29条の2

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出されたい。

理 由

この出願の下記の請求項に係る発明は、その出願の日前の特許（実用新案登録）出願であって、その出願後に出願公告（特許掲載公報の発行又は実用新案掲載公報の発行）又は出願公開がされた下記の特許（実用新案登録）出願の願書に最初に添付された明細書又は図面に記載された発明（考案）と同一であり、しかも、この出願の発明者がその出願前の特許（実用新案登録）出願に係る上記の発明（考案）をした者とは同一ではなく、またこの出願の時において、その出願人が上記特許（実用新案登録）出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

(1) 請求項1に対して

・引用文献1

(2) 請求項2に対して

続葉有

部長	審査長	審査官	審査官補
	相田 義明	江口 能弘	
	7925	8125	

続 葉

・引用文献1

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特願平1-275428号(特開平3-137889号)

【書類名】 意見書

【提出日】 平成11年 8月16日

【あて先】 特許庁審査官 江口 能弘殿

【事件の表示】

 【出願番号】 平成 2年特許願第410668号

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087147

 【弁理士】

 【氏名又は名称】 長谷川 文廣

【発送番号】 119325

【意見の内容】 1

(1) 拒絶理由通知の概要

本願発明に対する拒絶理由は、本願発明は、本願に先行して出願されかつ本願の出願後に出願公開されたところの、他の出願人及び他の発明者に基づく特許出願「特願平1-275428号(特開平3-137889号公報)」の明細書及び図面に記載された発明(以後、「引用出願の発明」という)と同一であるから、特許法第29条の2の規定により特許を受けることができない、というものです。

(2) 本願発明について

本願の特許請求の範囲の記載は、今回同時に提出した手続補正書により補正されました。この補正された特許請求の範囲の請求項1及び請求項2に記載の各発明の構成要件は次のとおりです。

請求項1の発明の構成要件

1A: 複数のDRAMセルアレー(CAR)のうち一方のアレーのビット線(BL、BLX)をスイッチ(SW)で選択して共通のセンスアンプ(SA)へ接続し、データの読出し動作を行なうシェアドセンスアンプ構成の半導体記憶装置であること。

1B: テストモードでは、複数のシェアドセンスアンプ構成の内の複数の前記スイッチに対して共通の信号を供給すること。

1B': 共通の信号を供給された前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続する手段を備えること。

請求項2の発明の構成要件

2A: 複数のDRAMセルアレーのうち一方のアレーのビット線をスイッチで選択して共通のセンスアンプへ接続し、データの読出し動作を行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法であること。

2B: テストモードでは、複数のシェアドセンスアンプ構成の内の複数の前記スイッチに対して共通の信号を供給すること。

2B': 共通の信号を供給された前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続し、選択セルの負荷となるビット線の容量を複数倍にすること。

(3) 引用出願の発明について

引用出願公開公報の第3図と第6頁左上欄第6行乃至右上欄第3行の対応説明の記載によれば、図示のシェアドセンスアンプ1の左側には、トランスファゲート4、5を介してビット線 BL_1 、…が結合され、また右側にはトランスファゲート6、7を介してビット線 BL_2 、…が結合されています。また「マージン評価テストの際に活性化する選択信号 SL を発生するための選択信号発生回路20」が設けられており、その出力の選択信号 SL と通常動作で用いられる制御信号 S_1 、 S_2 とは、ワイアードORの形式でトランスファゲート4～7に与えられています。マージン評価テストを行なう場合には、「図示しない入力信号に応答して選択信号 SL が活性化し」、シェアドセンスアンプ1にトランスファゲート4～7を介して結合しているビット線のすべてがシェアドセンスアンプ1に対して導通状態となり、マージン評価の効率が向上するとされています。

(4) 本願発明と引用出願の発明との比較

上記した本願請求項1の構成要件1A、1B'及び請求項2の構成要件2A、2B'については、たしかに対応する構成の記載が引用出願のなかに存在しています。しかし、本願請求項1の構成要件1B及び請求項2の構成要件2Bに対応する構成については、引用出願のなかに見出すことは出来ません。

すなわち、本願請求項1と請求項2の構成要件1B、2Bは、テストモード時に、複数のシェアドセンスアンプ構成についてそれぞれの複数の前記スイッチつまりトランスファゲートに対して共通の信号を供給することを規定しておりますが、これは本願図2(b)の実施例回路で説明しますと、図には1つのシェアドセンスアンプ構成のみしか示されていませんが、複数のビットの各シェアドセンスアンプ構成に対して、それぞれのスイッチ SW_1 、 SW_2 、 SW_3 、 SW_4 を開閉するクロック信号 BT_1 、 BT_2 が共通の制御線で与えられることが示されています。そして図2(a)にはクロック信号 BT_2 の発生回路が示されており、クロック信号 BT_1 の発生回路も同様であることが、本願明細書第6頁第1～2行に記載されています。

一方、引用出願の第3図では、マージン評価時にトランスファゲート4～6を同時に開く信号 SL を発生する選択信号発生回路20は、1つのシェアドセンス

アンプ構成に対して1つずつ設けられる構成となっており、この結果、複数のシェアドセンスアンプ構成に対しては複数の選択信号発生回路20が必要となり、本願請求項1及び請求項2の発明とは明らかに構成が相違します。本願請求項1及び請求項2の発明では、図2(a)のクロック発生回路を各シェアドセンスアンプ構成に対して共通化できるため、引用出願の発明に比べて回路面積を縮小できる利点があります。

(5) むすび

したがって、本願請求項1及び請求項2の発明は、引用出願の明細書及び図面に記載された発明と同一ということは出来ませんので、再度ご審査下さいますようお願いいたします。

以上。

認定・付加情報

特許出願の番号 平成 2年 特許願 第410668号
受付番号 59900787720
書類名 意見書
担当官 坪 政光 8844
作成日 平成11年 8月25日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社

【代理人】

申請人
【識別番号】 100087147
【住所又は居所】 東京都荒川区西日暮里5丁目11番8号三共セン
トラルプラザビル5階
【氏名又は名称】 長谷川 文廣

【書類名】 手続補正書

【提出日】 平成11年 8月16日

【あて先】 特許庁長官殿 (特許庁審
査官 江口 能弘殿)

【事件の表示】

【出願番号】 平成 2年特許願第410668号

【補正をする者】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087147

【弁理士】

【氏名又は名称】 長谷川 文廣

【発送番号】 119325

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその検査方法

【特許請求の範囲】

【請求項1】 複数のDRAMセルアレー（CAR）のうち一方のアレーのビット線（BL、BLX）をスイッチ（SW）で選択して共通のセンスアンプ（SA）へ接続し、データの読出し動作を行なうシェアドセンスアンプ構成の半導体記憶装置において、

テストモードでは、複数のシェアドセンスアンプ構成の内の複数の前記スイッチに対して共通の信号を供給して、前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続する手段を備えることを特徴とする半導体記憶装置。

【請求項2】 複数のDRAMセルアレーのうち一方のアレーのビット線をスイッチで選択して共通のセンスアンプへ接続し、データの読出し動作を行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法において、

テストモードでは、複数のシェアドセンスアンプ構成の内の複数の前記スイッチに対して共通の信号を供給して、前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続し、選択セルの負荷となるビット線の容量を複数倍にすることを特徴とする半導体記憶装置の検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体記憶装置の検査方法及びそれを可能にする半導体記憶装置に関する。

【0002】

半導体記憶装置の高集積化が進むにつれ、製造したメモリチップの検査に要する時間は爆発的に増大する傾向になる。この理由はビット数の増大に対してメモリの動作速度はそれほど高速化されていないため、「ビット当たりの動作時間×ビット数×検査パターンで決まる係数÷並列同時検査ビット数」で決まる検査時間が増大するためである。このためチップに占める検査のコストが増大する傾向

があり、問題になっている。

【0003】

検査で摘発、排除するのは明確に不良を示すビットであるが、これ以外にも除去しなければならず更に時間がかかるのは、条件によって不良になったり良になったりする、動作が不安定なビットである。これを除外する検査は、1ビット当たりに十分な時間をかけられない状況では極めて難しい。本発明はこのような不安定なビットの検出と除外を高速に行う半導体記憶装置とその検査方法に係るものである。

【0004】

【従来の技術】

従来、DRAM（ダイナミックRAM）の検査において不安定ビットを検出する方法は、何らかの方法でメモリセルの電荷量を減少させ、これによってセルの出力電圧を規定の値よりも強制的に低くする方法である。強制的に低くすることで、セルのキャパシタ容量が何らかの異常によって少いセル、pn接合やトランジスタがリークしやすく電荷が早く減少してしまうセル、センスアンプが何らかの異常で感度を悪くしている場合に起こるエラーをより起こしやすい状況にし、通常の検査サイクルで、良となってしまうものを正しく不良として検出する。具体的にはDRAMセルのセルプレート（蓄積キャパシタの対向電極板）の電圧を書き込み時と読出時で異なった値にし、これによって蓄積された電荷量を変調する。

【0005】

例えばデータ“1”を書き込み、あとで読み出す場合を考えると、書き込み時に対して読出時のセルプレート電圧を低くすれば、蓄積電荷量は見掛け上少なくなる。こうしてデータ“1”の出力電圧を強制的に下げることができる。具体例で説明すると、セルプレートの電圧 V_{CP} を2.5Vにし、ビット線電圧 V_{BL} を5Vにして書込みを行なうと、セル電圧 $V_C = V_{BL} - V_{CP} = 2.5V$ 、蓄積された電荷 Q はこれにセル容量 C を乗じたものである。かかるセルを $V_{CP} = 1.5V$ にして読出すと $V_{BL} = V_{CP} + V_C = 4V$ になり、 $V_{CP} = 2.5V$ で読出す通常読出しの $V_{BL} = 5V$ に比べて1Vの低下になる。

【0006】

この方法により、たとえば電荷保持特性が悪いセルでは“1”レベル書き込み後セル内で電荷量が下がってくるが、セル出力電圧を強制的に下げることによりこの“1”レベルの低下を顕著にすることができ、不安定セルを不良セルとして検出できる。

【0007】

このようにセルプレート電圧を読み出し時に下げる方法で“1”レベルの不安定なセルは検出できるが、“0”レベルの不安定なセルに対しては逆にセルプレート電圧を書き込み時に対して読出時に高くする必要がある。一般的にセル内のpn接合リークが原因の場合は“1”レベルの低下だけが起り“0”レベルの変調はないので、蓄積電極とキャパシタのことだけを考えればセルプレート電圧を読出時に下げる方法だけ行えば良い。しかし、ビット線とワード線が短絡しかかっているようなセルではむしろ“0”レベルの変調によって不良ビットとなる。つまり選択セルが“0”を保持しており、これを読み出したときにワード線とビット線が短絡していると、ビット線電圧はワード線を通じて高レベル側に引かれ、あたかも“1”を読んだように判定されるために不良となる。

【0008】

つまり、“1”に対しても“0”に対してもセルのリーク（簡単に判別できる明らかな短絡故障ではなく、高抵抗を介して電流リークがある不安定動作することを指す）のないことを保障するには、セルプレート電圧の変調を“1”に対してと“0”に対しての両方、従って二度検査をしなければならない。さもなければ、たとえばビット線とワード線の間リークが決して起こらない安全な製造プロセスを用いなければならず、このような場合一般的にメモリセルの寸法を大きくしてでも製造が容易なものにしなければならず、結果的にチップ寸法が大きくなって製造コストが増す。また、もしも検査を二度やるとすれば検査コストが増すことになる。

【0009】

【発明が解決しようとする課題】

従来の不安定動作ビット検出方法（スクリーニングと称する）では、上記のよ

うにデータ“1”に対する不安定性（蓄積電極およびキャパシタ関係のリーク）とデータ“0”に対する不安定性（ビット線とワード線間のリーク）はそれぞれセルの出力電圧を小さくする特殊な動作を読出と書込が交互に行われる「マーチ」などのデータパターンでは各サイクルごとにセルプレート電圧を変化させねばならない。ところがセルプレートの電圧変化は最小動作サイクル時間に追従するほど高速には変化できない（セルプレート容量が大きい）。このため検査時間が長くかかることが問題だった。

【0010】

本発明はセンスアンプの付属回路の駆動法の工夫により、セルプレート電圧を変化させることなくデータの“0”と“1”の両方に対して同時にセル出力電圧を強制的に減少させ、検査が高速に行われるようにして検査時間の倍増を防ぐことを目的とするものである。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明は以下のような構成を有する。

(1) 複数のDRAMセルアレー（CAR）のうち一方のアレーのビット線（BL、BLX）をスイッチ（SW）で選択して共通のセンスアンプ（SA）へ接続し、データの読出し動作を行なうシェアドセンスアンプ構成の半導体記憶装置において、

テストモードでは、複数のシェアドセンスアンプ構成の内の複数の前記スイッチに対して共通の信号を供給して、前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続する手段を備える構成。

(2) 複数のDRAMセルアレーのうち一方のアレーのビット線をスイッチで選択して共通のセンスアンプへ接続し、データの読出し動作を行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法において、

テストモードでは、複数のシェアドセンスアンプ構成の内の複数の前記スイッチに対して共通の信号を供給して、前記スイッチの全部をオンにして、共通のセンスアンプへ複数のセルアレーのビット線を接続し、選択セルの負荷となるビット線の容量を複数倍にする構成。

【0012】

図1は、本発明の原理図である。ここでSAはセンスアンプであり、SW1、SW2、SW3、SW4はスイッチである。SW1とSW2は同時に駆動され、SW3とSW4は同時に駆動される。スイッチの切替えにより、センスアンプSAはセルアレーのメモリセルがビットセンスアンプに与える、ビット線BL1、BL1X上の差電圧もしくはBL2、BL2X上の差電圧のいずれかを増幅する。通常のメモリ動作では、スイッチSW1、SW2がオンのときはスイッチSW3、SW4はオフであり、スイッチSW1、SW2がオフのときはスイッチSW3、SW4はオンになる関係にあるため、一つのセンスアンプが二つのビット線組に利用できる。このためセンスアンプの数を減らすことができ、チップ寸法を小さくできるメリットがある。これはいわゆるシェアドセンスアンプ方式である。本発明では、この通常動作でのスイッチ動作に対して、スクリーニングを行うテストモードではスイッチSW1、SW2、SW3、SW4のすべてを同時に導通させる。図1(b)はこの様子を示す。なおセル選択は片方のセルアレーに対してだけである。

【0013】

【作用】

シェアドセンスアンプ方式のメモリで、センスアンプの両側のセルアレーCAR1、CAR2のビット線BL1とBL1X、BL2とBL2Xに対するスイッチSW1とSW2、SW3とSW4を同時にオンにすると、ビット線容量が通常動作したときの2倍になり、セル出力電圧が減少する。

【0014】

メモリセルの蓄積容量を C_s 、ビット線容量を C_b 、センスアンプ入力容量を C_a 、とすると、通常動作時にはセルがビット線に与える出力電圧 ΔV は

$$\Delta V = \{ C_s / (C_b + C_a + C_s) \} \times (V_d - V_p)$$

で与えられる。ここで V_d は記憶データに対応したセル内の蓄積電圧であり、 V_p はビット線のプリチャージ電圧（読出時にビット線がフローティング状態にあるときの電圧）である。本発明のテストモードでは、シェアドセンスアンプの切替えスイッチをすべて導通させるため C_b は通常動作時の倍の値になり、出力

電圧 ΔV_{test} は、

$$\Delta V_{\text{test}} = \{ C_s / (2 C_b + C_a + C_s) \} \times (V_d - V_p)$$

になる。 C_b / C_s は通常 C レシオと呼ばれ、10 前後の値をとる。仮にここでこの値を 10 とし、センスアンプ容量を C_b の 20% とすると、通常の動作では、

$$\Delta V = (1 / 13) \times (V_d - V_p) = 0.0770 \times (V_d - V_p)$$

であり、テストモードでは

$$\Delta V_{\text{test}} = (1 / 23) \times (V_d - V_p) = 0.0435 \times (V_d - V_p)$$

となってセルの出力電圧は小さくできる。

【0015】

ここで注目すべきは、上記式の中にセル内の蓄積電圧 V_d が入っており、セル内の記憶データの“0”，“1”の両方に対してセル出力電圧を減少できることである。これにより、実動作時に誤動作を起こす可能性が高い、出力信号が微弱なセルまたは感度の悪いセンスアンプを探知することができる。

【0016】

【実施例】

図2に本発明の実施例を示す。ビット線を切り換えるスイッチ SW1～SW4 に MOSFET を用い、そのゲート電圧をクロック BT で制御してスイッチ作用をさせる。図2(a)はクロック BT2の発生回路を示す。図示省略されているが、クロック BT1の発生回路も同様である。図示のようにクロック BT2の発生回路は、RAS (ローアドレスストロブ) クロック発生回路 CGEN、DL Y、ナンドゲート G1、デコーダ DEC、ナンドゲート G2、インバータ I2、I3で構成される。またデコーダ DECは、セルアレーアドレスの各ビット A, B, ……が入力する nチャネル MOS トランジスタ Q2、Q3、……、ナンドゲート G1の出力を受ける pチャネル MOS トランジスタ Q1、インバータ I1、この出力を受ける pチャネル MOS トランジスタ Q5を備える。また図2(b)で $Q_a \sim Q_d$ はセンスアンプを構成する MOS トランジスタ、SADLはセンスアンプ駆動線で、センスイネーブル用のクロック ϕ_s , $\phi_s X$ を受けるトランジスタ Q_g , Q_h により一方は電源 V_{cc} へ、他方はグランドへ接続される。また C

S Lはコラム選択線で、ビット線B L, B L XをデータバスD B, D B Xへ接続するMOSトランジスタ Q_e , Q_f をオン、オフする。メモリセルはトランスファゲート用のMOSトランジスタとキャパシタからなる1トランジスタ1キャパシタ型で、このキャパシタはMOS型ではなく、両電極がポリシリコンの通常タイプ(メタル、誘電体、メタルのタイプ)である。

【0017】

通常のリード/ライトは既知の通りで、セルアレー1のメモリセルをリードするなら、セルアレー1のワード線W Lを選択して、プリチャージしておいたビット線へ選択セルを接続し、これでビット線B L 1とB L 1 Xとの間に差を付け、またクロックB T 2をLにしてスイッチS W 3, S W 4を開き、ビット線B L 1, B L 1 Xをセンスアンプへ接続しビット線B L 2, B L 2 Xは切離して、上記差を拡大する。次いでコラム選択線C S LをHレベルにしてトランジスタ Q_e , Q_f をオンにし、選択したビット線の電位をデータバスD B, D B Xへ伝える。セルアレー2側のメモリセルを読出す場合も同様で、唯、この場合はクロックB T 1をLにしてビット線B L 1, B L 1 Xをセンスアンプから切離し、ビット線B L 2, B L 2 Xをセンスアンプへ接続する。

【0018】

テストモード信号S T Xは通常モードではHレベルで、従ってゲート G_2 は開いており、クロックB T 2はデコーダD E C出力に従う。テストモードでは信号S T XはLレベルで、従ってナンドゲート G_2 の出力はデコーダD E Cの出力が何であってもH、従って信号B T 2はHである。図示されていないクロックB T 1発生回路でも同様で、テストモードではクロックB T 1をHにする。従ってセンスアンプの両側のスイッチS W 1~S W 4が閉じ、ビット線長は通常の2倍になる。セル選択(ワード線選択)を行なうのはテストモードでも、両側のセルアレーのうち的一方だけである。これにより前述のようにセル記憶データが“1”でも“0”でも出力電圧 ΔV_{test} が小さくなる。

【0019】

図2(a)の動作を詳細に説明すると、R A S Xクロックはチップ外部より与えられるR A Sバークロックによりクロック発生回路C G E Nが作ったチップ内

クロックで、波形としてはRASバーと同じであり、通常はHレベル、アクセス時にLになる。RASXがHで、しかもHになってから充分時間が経過していれば、遅延回路DLYの出力はH、従ってナンドゲートG1の出力はLになる。RASXがLになるとナンドゲートG1の出力はHになり、そしてRASXがLからHに戻ると、遅延回路DLYの遅延時間 τ 後にナンドゲートG1の出力はLに戻る。即ちナンドゲートG1の出力がHからLに戻るのは τ だけ遅れる。これはローアドレスのリセット（デコーダDECの解除）を最後に行なうためである。

【0020】

ナンドゲートG1の出力がLであると、pチャネルMOSトランジスタQ1はオン、インバータI1の入力はH、従って出力はL、ラッチ用のpチャネルMOSトランジスタQ5はオンになる。これでデコーダはプリチャージされる。ナンドゲートG1の出力がHになるとQ1はオフ、そしてアドレスによりQ2, Q3, ……が全てオンになると（セルアレー1が選択されると）インバータI1の入力はLになり、出力はH、通常読出しではSTXはHであるからG2の出力はL、BT2はL、従ってスイッチSW3, SW4をオフにする。この図2(a)の回路は、テストモード時に選択セルアレーの反対側のセルアレーのスイッチ（セルアレー1が選択セルアレーなら、スイッチSW3とSW4）を開く機能を持つ。

【0021】

テストモード信号STXは、チップにテスト端子を設けて該端子に信号を与えたときLレベルになるようにする、あるいは所謂WCBRモードによるテストモードへのエントリ、または特定のアドレスコードを用いたテストモードへのエントリ手段によりLレベルになるようにする。

【0022】

【発明の効果】

以上説明したように、本発明ではテストモードでビット線容量を強制的に倍増させることでセル出力信号電圧を低下させているので、データの“0”にも“1”にも同時に効果がある。従ってメモリセル内のキャパシタのリークによる不安定動作とビット線とワード線の短絡による不安定動作の検出が同時にできる。ま

た、書込と読出サイクルのそれぞれでセルプレート電圧を変える操作が不要である。

【0023】

このためテスト時間の短縮ができる。

【図面の簡単な説明】

【図1】

本発明の原理図である。

【図2】

本発明の実施例を示す回路図である。

【符号の説明】

CAR	セルアレー
BL、BLX	ビット線
SW	スイッチ
SA	センスアンプ

認定・付加情報

特許出願の番号 平成 2年 特許願 第410668号
受付番号 59900787721
書類名 手続補正書
担当官 坪 政光 8844
作成日 平成11年 8月25日

<認定情報・付加情報>

【補正をする者】

【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社

【代理人】

申請人
【識別番号】 100087147
【住所又は居所】 東京都荒川区西日暮里5丁目11番8号三共セン
トラルプラザビル5階
【氏名又は名称】 長谷川 文廣

【書類名】 代理人受任届

【提出日】 平成11年 8月16日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 平成 2年特許願第410668号

【手続をした者】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【受任した代理人】

【識別番号】 100087147

【弁理士】

【氏名又は名称】 長谷川 文廣

【提出物件の目録】

【包括委任状番号】 9707817

拒絶理由通知書

特許出願の番号 平成 2年 特許願 第410668号
起案日 平成11年12月21日
特許庁審査官 江口 能弘 8125 5L00
特許出願人代理人 長谷川 文廣 (外 1名) 様
適用条文 第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出されたい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の記事に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

(1) 請求項1および請求項2に対して

- ・ 引用文献1および引用文献2
- ・ 備考

引用文献1の第2頁左上欄5～8行目に「情報蓄積用キャパシタの静電容量とデータ線の寄生容量との比 C_s/C_o の値が小さくなるほど、メモリセルからの読み出し容量は小さくなってしまふ。」と記載されている。

また引用文献1の第2頁右上欄10～16行目に「各センスアンプ回路に供給

続葉有

部長	審査長	審査官	審査官補
	井上 正	江口 能弘	
	8120	8125	

続 葉

される切り換え用のタイミング信号 ϕ_{s1} 及び ϕ_{sr} によって、いずれか一方のメモリセルアレイのデータ線が対応する列のセンスアンプ回路の単位回路に接続される。これにより実質的にデータ線の寄生容量を約 $1/2$ に減らして読み出し信号を大きくする」と記載されている。

一方、引用文献2に記載されているように、元々、センスアンプのマージン試験は、悪条件下において誤動作する、換言すれば動作に余裕のない無いセンスアンプを検出するための試験であるから、引用文献1において、通常動作時においては、切り換え用のタイミング信号 ϕ_{s1} 及び ϕ_{sr} によって、いずれか一方のメモリセルアレイのデータ線を対応する列のセンスアンプ回路の単位回路に接続するが、センスアンプのマージン試験時には、両方のメモリセルアレイのデータ線を対応する列のセンスアンプ回路の単位回路に接続することは容易に想到できたと認められる。そして引用文献1の第3図より、切り換え用のタイミング信号 ϕ_{s1} 及び ϕ_{sr} が列方向の複数のセンスアンプに対して共通であることは明らかである。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特開昭62-293589号公報
2. 特開昭61-120394号公報

【書類名】 意見書

【提出日】 平成12年 3月13日

【あて先】 特許庁審査官 江口 能弘殿

【事件の表示】

 【出願番号】 平成 2年特許願第410668号

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087147

 【弁理士】

 【氏名又は名称】 長谷川 文廣

【発送番号】 003515

【意見の内容】 1

【プルーフの要否】 要

(1) 拒絶理由通知の概要

平成11年12月21日付け拒絶理由通知に示された本願発明に対する拒絶理由は、本願発明は、

引用文献1：特開昭62-293589号公報

引用文献2：特開昭61-120394号公報

に記載された発明に基づいて、当業者が容易に発明できたものであるから、特許法第29条第2項の規定により特許を受けることができない、というものであり、またその根拠として、拒絶査定時に以下のような説示がなされています。

- a. 引用文献1の第2頁右上欄10～16行には、「各センスアンプ回路に供給される切り換え用のタイミング信号 ϕ_{s1} 及び ϕ_{sr} によって、いずれか一方のメモリセルアレイのデータ線が対応する列のセンスアンプ回路の単位回路に接続される。これにより実質的にデータ線の寄生容量1/2に減らして読み出し信号を大きくする」と記載されていること。
- b. 引用文献2には、悪条件下で誤動作するセンスアンプを検出することによりセンスアンプのマージン試験を行うことが記載されていること。
- c. 通常動作時にはいずれか一方のメモリセルアレイのデータ線を対応する列のセンスアンプ回路の単位回路に接続するが、センスアンプのマージン試験時には両方のメモリセルアレイのデータ線を対応する列のセンスアンプ回路の単位回路に接続することは、引用文献1及び引用文献2から容易に想到できたこと。

(2) 本願発明の構成

本願発明は、今回同時に提出した平成12年3月13日付け手続補正書により補正された特許請求の範囲の請求項1及び請求項2の記載に示されており、各請求項の発明の構成要件は次の通りです。

請求項1の発明の構成要件

1A：複数のDRAMセルアレイ(CAR)のビット線(BL、BLX)をそれぞれ共通のセンスアンプ(SA)に接続可能にするスイッチ(SW)を備え、通常モードでは複数のDRAMセルアレイのうち1つのセルアレイのビット線(BL、BLX)を選択して共通のセンスアンプ(SA)へ接続し、データの読出しを行なうシェアドセンスアンプ構成の半導体記憶装置であること。

1B : テストモードでは、複数のDRAMセルアレー (CAR) の各スイッチ (SW) に共通の信号を供給して全部のスイッチ (SW) をオンにし、共通のセンスアンプへ複数のセルアレーのビット線を同時に接続する手段を備えること。

請求項2の発明の構成要件

2A : 複数のDRAMセルアレー (CAR) のビット線 (BL、BLX) をそれぞれ共通のセンスアンプ (SA) に接続可能にするスイッチ (SW) を備え、通常モードでは複数のDRAMセルアレーのうちで1つのセルアレーのビット線 (BL、BLX) を選択して共通のセンスアンプ (SA) へ接続し、データの読出しを行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法であること。

2B : テストモードでは、複数のDRAMセルアレー (CAR) の各スイッチ (SW) に共通の信号を供給して全部のスイッチ (SW) をオンにし、共通のセンスアンプへ複数のセルアレーのビット線を同時に接続して、選択セルの負荷となるビット線の容量を複数倍にすること。

(3) 引用文献の内容

引用文献1 (特開昭62-293589号公報)

引用文献1の第2頁左上欄5～8行には、「情報蓄積用キャパシタの静電容量とデータ線の寄生容量との比 C_s / C_o の値が小さくなるほど、メモリセルからの読み出し信号量は小さくなってしまふ。」と記載されている。

引用文献1の第2頁右上欄10～16行には、「各センスアンプ回路に供給される切り換え用のタイミング信号 ϕ_{s1} 及び ϕ_{sr} によって、いずれか一方のメモリセルアレイのデータ線が対応する列のセンスアンプ回路の単位回路に接続される。これにより実質的にデータ線の寄生容量を約1/2に減らして読み出し信号量を大きくする」と記載されている。

図面〔第3図〕と明細書の対応する説明によれば、図面〔第3図〕のたとえば左側には、2つのメモリアレイM-ARYOLとM-ARYORに対して1つのセンスアンプ回路SA0を共有させたシェアドセンスアンプ方式のダイナミック型RAMが開示されており、タイミング信号 ϕ_{s1} 及び ϕ_{sr} のいずれを供給するかで、メモリアレイM-ARYOLとM-ARYORの一方を選択することが記載され、特に明細書第2頁左下欄及び右下欄には、カラムスイッチCSW0とカラ

ムアドレスデコーダCDCRから遠いメモリアレイM-ARYOLを読み出す場合は、一旦タイミング信号 ϕ_{s1} を供給してセンスアンプ回路SA0のレベルを確立した後、タイミング信号 ϕ_{s1} 及び ϕ_{sr} の両方を供給して、メモリアレイM-ARYOLのデータ線に対応するメモリアレイM-ARYORのデータ線とカラムスイッチCSW0を介して共通データ線に接続することが記載されている。

引用文献2（特開昭61-120394号公報）

引用文献2には、差動増幅型センスアンプ回路において、通常動作の基準電圧発生回路のほかに、動作保証限界温度における設計上のマージンにほぼ等しい基準電圧を発生するテスト用基準電圧発生回路を設け、製造段階でテスト用基準電圧発生回路を用いて室温により差動増幅型センスアンプ回路をテストし、異常がなければ通常動作の基準電圧発生回路を設定するようにしたものが記載されている。

（4）引用文献の発明と本願発明との比較

引用文献1には、シェアドセンスアンプ方式のダイナミック型RAMが開示されていますが、センスアンプのマージン試験に関する記述は一切ありません。特に、1つのセンスアンプ回路SA0を共有する2つのメモリアレイM-ARYOLとM-ARYORの各データ線が、センスアンプ回路SA0に同時に接続される場合がありますが、これは通常動作時においてカラムアドレスデコーダCDCRから遠いメモリアレイM-ARYOLを読み出す動作時に限られ、しかもセンスアンプの読み出し動作レベルが確立した後に行われます。つまり引用文献1には、本願発明のようにセンスアンプに対して悪条件を課するために2つのメモリアレイのデータ線を同時に接続するという発想はなく、むしろこのような悪条件を生じないように、センスアンプの読み出し動作レベルが確立した後に行われているものです。

また引用文献2には、センスアンプのマージン試験を悪条件下で行うために、テスト用基準電圧発生回路を設けた差動増幅型センスアンプ回路が開示されていますが、シェアドセンスアンプ方式との関連性はなく、テスト時に、1つのセンスアンプ回路を共有する2つのメモリアレイのデータ線を同時に接続することを示唆するような記述は一切ありません。

したがって、引用文献1, 2の記載はいずれも本願発明とは関係がないものであり、またこれらの引用文献に開示されている内容を組み合わせること自体は困難なことでありますが、たとえ組み合わせたとしても本願発明を構成することはできないものです。

(5) むすび

以上により、本願請求項1及び請求項2の発明は、当業者が引用文献1, 2に記載された発明から容易に想到できたものということは出来ませんので、再度ご審査下さいますようお願い致します。

以上。

【書類名】 手続補正書

【提出日】 平成12年 3月13日

【あて先】 特許庁長官殿 (特許庁審
査官 江口 能弘殿)

【事件の表示】

【出願番号】 平成 2年特許願第410668号

【補正をする者】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087147

【弁理士】

【氏名又は名称】 長谷川 文廣

【発送番号】 003515

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその検査方法

【特許請求の範囲】

【請求項1】 複数のDRAMセルアレー (CAR) のビット線 (BL、BLX) をそれぞれ共通のセンスアンプ (SA) に接続可能にするスイッチ (SW) を備え、通常モードでは複数のDRAMセルアレーのうちで1つのセルアレーのビット線 (BL、BLX) を選択して共通のセンスアンプ (SA) へ接続し、データの読出しを行なうシェアドセンスアンプ構成の半導体記憶装置であって、テストモードでは、複数のDRAMセルアレー (CAR) の各スイッチ (SW) に共通の信号を供給して全部のスイッチ (SW) をオンにし、共通のセンスアンプへ複数のセルアレーのビット線を同時に接続する手段を備えることを特徴とする半導体記憶装置。

【請求項2】 複数のDRAMセルアレー (CAR) のビット線 (BL、BLX) をそれぞれ共通のセンスアンプ (SA) に接続可能にするスイッチ (SW) を備え、通常モードでは複数のDRAMセルアレーのうちで1つのセルアレーのビット線 (BL、BLX) を選択して共通のセンスアンプ (SA) へ接続し、データの読出しを行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法であって、

テストモードでは、複数のDRAMセルアレー (CAR) の各スイッチ (SW) に共通の信号を供給して全部のスイッチ (SW) をオンにし、共通のセンスアンプへ複数のセルアレーのビット線を同時に接続して、選択セルの負荷となるビット線の容量を複数倍にすることを特徴とする半導体記憶装置の検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体記憶装置の検査方法及びそれを可能にする半導体記憶装置に関する。

【0002】

半導体記憶装置の高集積化が進むにつれ、製造したメモリチップの検査に要す

る時間は爆発的に増大する傾向になる。この理由はビット数の増大に対してメモリの動作速度はそれほど高速化されていないため、「ビット当たりの動作時間×ビット数×検査パターンで決まる係数÷並列同時検査ビット数」で決まる検査時間が増大するためである。このためチップに占める検査のコストが増大する傾向があり、問題になっている。

【0003】

検査で摘発、排除するのは明確に不良を示すビットであるが、これ以外にも除去しなければならず更に時間がかかるのは、条件によって不良になったり良になったりする、動作が不安定なビットである。これを除外する検査は、1ビット当たりに十分な時間をかけられない状況では極めて難しい。本発明はこのような不安定なビットの検出と除外を高速に行う半導体記憶装置とその検査方法に係るものである。

【0004】

【従来の技術】

従来、DRAM（ダイナミックRAM）の検査において不安定ビットを検出する方法は、何らかの方法でメモリセルの電荷量を減少させ、これによってセルの出力電圧を規定の値よりも強制的に低くする方法である。強制的に低くすることで、セルのキャパシタ容量が何らかの異常によって少いセル、pn接合やトランジスタがリークしやすく電荷が早く減少してしまうセル、センスアンプが何らかの異常で感度を悪くしている場合に起こるエラーをより起こしやすい状況にし、通常の検査サイクルで、良となってしまうものを正しく不良として検出する。具体的にはDRAMセルのセルプレート（蓄積キャパシタの対向電極板）の電圧を書き込み時と読出時で異なった値にし、これによって蓄積された電荷量を変調する。

【0005】

例えばデータ“1”を書き込み、あとで読み出す場合を考えると、書き込み時に対して読出時のセルプレート電圧を低くすれば、蓄積電荷量は見掛け上少なくなる。こうしてデータ“1”の出力電圧を強制的に下げることができる。具体例で説明すると、セルプレートの電圧 V_{CP} を2.5Vにし、ビット線電圧 V_{BL} を5

Vにして書込みを行なうと、セル電圧 $V_C = V_{BL} - V_{CP} = 2.5 \text{ V}$ 、蓄積された電荷Qはこれにセル容量Cを乗じたものである。かかるセルを $V_{CP} = 1.5 \text{ V}$ にして読出すと $V_{BL} = V_{CP} + V_C = 4 \text{ V}$ になり、 $V_{CP} = 2.5 \text{ V}$ で読出す通常読出しの $V_{BL} = 5 \text{ V}$ に比べて1Vの低下になる。

【0006】

この方法により、たとえば電荷保持特性が悪いセルでは“1”レベル書き込み後セル内で電荷量が下がってくるが、セル出力電圧を強制的に下げることによりこの“1”レベルの低下を顕著にすることができ、不安定セルを不良セルとして検出できる。

【0007】

このようにセルプレート電圧を読み出し時に下げる方法で“1”レベルの不安定なセルは検出できるが、“0”レベルの不安定なセルに対しては逆にセルプレート電圧を書き込み時に対して読出時に高くする必要がある。一般的にセル内のpn接合リークが原因の場合は“1”レベルの低下だけが起これ“0”レベルの変調はないので、蓄積電極とキャパシタのことだけを考えればセルプレート電圧を読出時に下げる方法だけ行えば良い。しかし、ビット線とワード線が短絡しかかっているようなセルではむしろ“0”レベルの変調によって不良ビットとなる。つまり選択セルが“0”を保持しており、これを読み出したときにワード線とビット線が短絡していると、ビット線電圧はワード線を通じて高レベル側に引かれ、あたかも“1”を読んだように判定されるために不良となる。

【0008】

つまり、“1”に対しても“0”に対してもセルのリーク（簡単に判別できる明らかな短絡故障ではなく、高抵抗を介して電流リークがある不安定動作することを指す）のないことを保障するには、セルプレート電圧の変調を“1”に対してと“0”に対しての両方、従って二度検査をしなければならない。さもなければ、たとえばビット線とワード線の間リークが決して起こらない安全な製造プロセスを用いなければならず、このような場合一般的にメモリセルの寸法を大きくしてでも製造が容易なものにしなければならず、結果的にチップ寸法が大きくなって製造コストが増す。また、もしも検査を二度やるとすれば検査コストが増

すことになる。

【0009】

【発明が解決しようとする課題】

従来の不安定動作ビット検出方法（スクリーニングと称する）では、上記のようにデータ“1”に対する不安定性（蓄積電極およびキャパシタ関係のリーク）とデータ“0”に対する不安定性（ビット線とワード線間のリーク）はそれぞれセルの出力電圧を小さくする特殊な動作を読出と書込が交互に行われる「マーチ」などのデータパターンでは各サイクルごとにセルプレート電圧を変化させねばならない。ところがセルプレートの電圧変化は最小動作サイクル時間に追従するほど高速には変化できない（セルプレート容量が大きいため）。このため検査時間が長くかかることが問題だった。

【0010】

本発明はセンスアンプの付属回路の駆動法の工夫により、セルプレート電圧を変化させることなくデータの“0”と“1”の両方に対して同時にセル出力電圧を強制的に減少させ、検査が高速に行われるようにして検査時間の倍増を防ぐことを目的とするものである。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明は以下のような構成を有する。

(1) 複数のDRAMセルアレー（CAR）のビット線（BL、BLX）をそれぞれ共通のセンスアンプ（SA）に接続可能にするスイッチ（SW）を備え、通常モードでは複数のDRAMセルアレーのうちで1つのセルアレーのビット線（BL、BLX）を選択して共通のセンスアンプ（SA）へ接続し、データの読出しを行なうシェアドセンスアンプ構成の半導体記憶装置であって、テストモードでは、複数のDRAMセルアレー（CAR）の各スイッチ（SW）に共通の信号を供給して全部のスイッチ（SW）をオンにし、共通のセンスアンプへ複数のセルアレーのビット線を同時に接続する手段を備える構成。

(2) 複数のDRAMセルアレー（CAR）のビット線（BL、BLX）をそれぞれ共通のセンスアンプ（SA）に接続可能にするスイッチ（SW）を備え、通

常モードでは複数のDRAMセルアレーのうちで1つのセルアレーのビット線（BL、BLX）を選択して共通のセンスアンプ（SA）へ接続し、データの読出しを行なうシェアドセンスアンプ構成の半導体記憶装置の検査方法であって、

テストモードでは、複数のDRAMセルアレー（CAR）の各スイッチ（SW）に共通の信号を供給して全部のスイッチ（SW）をオンにし、共通のセンスアンプへ複数のセルアレーのビット線を同時に接続して、選択セルの負荷となるビット線の容量を複数倍にする構成。

【0012】

図1は、本発明の原理図である。ここでSAはセンスアンプであり、SW1、SW2、SW3、SW4はスイッチである。SW1とSW2は同時に駆動され、SW3とSW4は同時に駆動される。スイッチの切替えにより、センスアンプSAはセルアレーのメモリセルがビットセンスアンプに与える、ビット線BL1、BL1X上の差電圧もしくはBL2、BL2X上の差電圧のいずれかを増幅する。通常メモリ動作では、スイッチSW1、SW2がオンのときはスイッチSW3、SW4はオフであり、スイッチSW1、SW2がオフのときはスイッチSW3、SW4はオンになる関係にあるため、一つのセンスアンプが二つのビット線組に利用できる。このためセンスアンプの数を減らすことができチップ寸法を小さくできるメリットがある。これはいわゆるシェアドセンスアンプ方式である。本発明では、この通常動作でのスイッチ動作に対して、スクリーニングを行うテストモードではスイッチSW1、SW2、SW3、SW4のすべてを同時に導通させる。図1（b）はこの様子を示す。なおセル選択は片方のセルアレーに対してだけである。

【0013】

【作用】

シェアドセンスアンプ方式のメモリで、センスアンプの両側のセルアレーCAR1、CAR2のビット線BL1とBL1X、BL2とBL2Xに対するスイッチSW1とSW2、SW3とSW4を同時にオンにすると、ビット線容量が通常動作したときの2倍になり、セル出力電圧が減少する。

【0014】

メモリセルの蓄積容量を C_s 、ビット線容量を C_b 、センスアンプ入力容量を C_a 、とすると、通常動作時にはセルがビット線に与える出力電圧 ΔV は

$$\Delta V = \{ C_s / (C_b + C_a + C_s) \} \times (V_d - V_p)$$

で与えられる。ここで V_d は記憶データに対応したセル内の蓄積電圧であり、 V_p はビット線のプリチャージ電圧（読出時にビット線がフローティング状態にあるときの電圧）である。本発明のテストモードでは、シェアドセンスアンプの切替えスイッチをすべて導通させるため C_b は通常動作時の倍の値になり、出力電圧 ΔV_{test} は、

$$\Delta V_{test} = \{ C_s / (2 C_b + C_a + C_s) \} \times (V_d - V_p)$$

になる。 C_b / C_s は通常Cレシオと呼ばれ、10前後の値をとる。仮にここでこの値を10とし、センスアンプ容量を C_b の20%とすると、通常の動作では、

$$\Delta V = (1 / 13) \times (V_d - V_p) = 0.0770 \times (V_d - V_p)$$

であり、テストモードでは

$$\Delta V_{test} = (1 / 23) \times (V_d - V_p) = 0.0435 \times (V_d - V_p)$$

となってセルの出力電圧は小さくできる。

【0015】

ここで注目すべきは、上記式の中にセル内の蓄積電圧 V_d が入っており、セル内の記憶データの“0”，“1”の両方に対してセル出力電圧を減少できることである。これにより、実動作時に誤動作を起こす可能性が高い、出力信号が微弱なセルまたは感度の悪いセンスアンプを探知することができる。

【0016】

【実施例】

図2に本発明の実施例を示す。ビット線を切り換えるスイッチSW1～SW4にMOSFETを用い、そのゲート電圧をクロックBTで制御してスイッチ作用をさせる。図2(a)はクロックBT2の発生回路を示す。図示省略されているが、クロックBT1の発生回路も同様である。図示のようにクロックBT2の発生回路は、RAS（ローアドレスストロブ）クロック発生回路CGEN、DL Y、ナンドゲートG1、デコーダDEC、ナンドゲートG2、インバータI2、

I 3で構成される。またデコーダDECは、セルアレーアドレスの各ビットA, B, ……が入力するnチャンネルMOSトランジスタQ2、Q3、……、ナンドゲートG1の出力を受けるpチャンネルMOSトランジスタQ1、インバータI1、この出力を受けるpチャンネルMOSトランジスタQ5を備える。また図2(b)でQ_a～Q_dはセンスアンプを構成するMOSトランジスタ、SADLはセンスアンプ駆動線で、センスイネーブル用のクロックφ_s, φ_sXを受けるトランジスタQ_g, Q_hにより一方は電源V_{cc}へ、他方はグラウンドへ接続される。またCSLはコラム選択線で、ビット線BL, BLXをデータバスDB, DBXへ接続するMOSトランジスタQ_e, Q_fをオン、オフする。メモリセルはトランスファゲート用のMOSトランジスタとキャパシタからなる1トランジスタ1キャパシタ型で、このキャパシタはMOS型ではなく、両電極がポリシリコンの通常タイプ(メタル、誘電体、メタルのタイプ)である。

【0017】

通常のリード/ライトは既知の通りで、セルアレー1のメモリセルをリードするなら、セルアレー1のワード線WLを選択して、プリチャージしておいたビット線へ選択セルを接続し、これでビット線BL1とBL1Xとの間に差を付け、またクロックBT2をLにしてスイッチSW3, SW4を開き、ビット線BL1, BL1Xをセンスアンプへ接続しビット線BL2, BL2Xは切離して、上記差を拡大する。次いでコラム選択線CSLをHレベルにしてトランジスタQ_e, Q_fをオンにし、選択したビット線の電位をデータバスDB, DBXへ伝える。セルアレー2側のメモリセルを読出す場合も同様で、唯、この場合はクロックBT1をLにしてビット線BL1, BL1Xをセンスアンプから切離し、ビット線BL2, BL2Xをセンスアンプへ接続する。

【0018】

テストモード信号STXは通常モードではHレベルで、従ってゲートG₂は開いており、クロックBT2はデコーダDEC出力に従う。テストモードでは信号STXはLレベルで、従ってナンドゲートG2の出力はデコーダDECの出力が何であってもH、従って信号BT2はHである。図示されていないクロックBT1発生回路でも同様で、テストモードではクロックBT1をHにする。従ってセ

ンスアンプの両側のスイッチSW1～SW4が閉じ、ビット線長は通常の2倍になる。セル選択（ワード線選択）を行なうのはテストモードでも、両側のセルアレーのうちの一方だけである。これにより前述のようにセル記憶データが“1”でも“0”でも出力電圧 ΔV_{test} が小さくなる。

【0019】

図2（a）の動作を詳細に説明すると、RASXクロックはチップ外部より与えられるRASバークロックによりクロック発生回路CGENが作ったチップ内クロックで、波形としてはRASバーと同じであり、通常はHレベル、アクセス時にLになる。RASXがHで、しかもHになってから充分時間が経過していれば、遅延回路DLYの出力はH、従ってナンドゲートG1の出力はLになる。RASXがLになるとナンドゲートG1の出力はHになり、そしてRASXがLからHに戻ると、遅延回路DLYの遅延時間 τ 後にナンドゲートG1の出力はLに戻る。即ちナンドゲートG1の出力がHからLに戻るのは τ だけ遅れる。これはローアドレスのリセット（デコーダDECの解除）を最後に行なうためである。

【0020】

ナンドゲートG1の出力がLであると、pチャネルMOSトランジスタQ1はオン、インバータI1の入力はH、従って出力はL、ラッチ用のpチャネルMOSトランジスタQ5はオンになる。これでデコーダはプリチャージされる。ナンドゲートG1の出力がHになるとQ1はオフ、そしてアドレスによりQ2, Q3, ……が全てオンになると（セルアレー1が選択されると）インバータI1の入力はLになり、出力はH、通常読出しではSTXはHであるからG2の出力はL、BT2はL、従ってスイッチSW3, SW4をオフにする。この図2（a）の回路は、テストモード時に選択セルアレーの反対側のセルアレーのスイッチ（セルアレー1が選択セルアレーなら、スイッチSW3とSW4）を開く機能を持つ。

【0021】

テストモード信号STXは、チップにテスト端子を設けて該端子に信号を与えたときLレベルになるようにする、あるいは所謂WCBRモードによるテストモードへのエントリ、または特定のアドレスコードを用いたテストモードへのエン

トリ手段によりLレベルになるようにする。

【0022】

【発明の効果】

以上説明したように、本発明ではテストモードでビット線容量を強制的に倍増させることでセル出力信号電圧を低下させているので、データの“0”にも“1”にも同時に効果がある。従ってメモリセル内のキャパシタのリークによる不安定動作とビット線とワード線の短絡による不安定動作の検出が同時にできる。また、書込と読出サイクルのそれぞれでセルプレート電圧を変える操作が不要である。

【0023】

このためテスト時間の短縮ができる。

【図面の簡単な説明】

【図1】

本発明の原理図である。

【図2】

本発明の実施例を示す回路図である。

【符号の説明】

CAR	セルアレー
BL、BLX	ビット線
SW	スイッチ
SA	センスアンプ

特許査定

特許出願の番号 平成 2年 特許願 第410668号
起案日 平成12年 5月16日
特許庁審査官 江口 能弘 8125 5L00
発明の名称 半導体記憶装置およびその検査方法
請求項の数 2
特許出願人 富士通株式会社
代理人 長谷川 文廣 (外 1名)

この出願については、拒絶の理由を発見しないから、特許査定する。

部長	審査長	審査官	審査官補	分類確定官
	江口 能弘	江口 能弘		高瀬 勤
	8125	8125		9069

続 葉

- | | |
|--------------|----|
| 1. 出願種別 | 通常 |
| 2. 参考文献 | 有 |
| 3. 特許法第30条適用 | 無 |
| 4. 発明の名称の変更 | 無 |

5. 国際特許分類 (IPC)

G 1 1 C 2 9 / 0 0 6 7 1 M

6. 併記特許分類

版コード 4

7. 菌寄託

8. 分割・変更の遡及を認めない旨の表示

